

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIN FILM TRANSISTOR****PUB. NO.:** 01-068728 [JP 1068728 A]**PUBLISHED:** March 14, 1989 (19890314)**INVENTOR(s):** WAKAI HARUO

YAMAMURA NOBUYUKI

**APPLICANT(s):** CASIO COMPUT CO LTD [350750]

(A Japanese Company or Corporation), JP (Japan)

**APPL. NO.:** 62-225821 [JP 87225821]**FILED:** September 09, 1987 (19870909)**ABSTRACT**

**PURPOSE:** To securely connect a transparent picture element electrode and a source electrode without increasing the thickness of the transparent picture element electrode by connecting the transparent picture element electrode and source electrode through a contact hole by a conductive part of two-layered structure formed by providing a metallic layer on the transparent picture element electrode.

**CONSTITUTION:** The contact hole 19 is formed in a transparent insulating layer 18 from the top surface to the source electrode 13, and transparent picture electrodes 5 of 500-1,000 angstroms in thickness are formed on its internal surface and a transparent insulating layer 18. Further, a metallic layer 20 whose thickness is almost twice as large as the depth of the contact hole 19 is provided to constitute the two-layered structure of the metallic layer 20 and transparent picture element electrode below it. Consequently, the transparent picture element electrode 5 on the transparent insulating layer 18 and the source electrode 13 are connected electrically through the two-layered structure. Thus, the thick metallic layer 20 is adhered to fill the contact hole 19, so the connection is made sure.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-68728

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月14日

G 02 F 1/133  
H 01 L 27/12  
29/783 2 7  
3 1 17370-2H  
A-7514-5F  
A-7925-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-225821

⑰ 出 願 昭62(1987)9月9日

⑱ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
社八王子研究所内⑲ 発 明 者 山 村 信 幸 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
社八王子研究所内

⑳ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

透明絶縁基板上に形成された、少なくともゲート電極、ゲート絶縁層、半導体層、ドレイン電極及びソース電極より成るトランジスタ領域と、

前記透明絶縁基板上に前記トランジスタ領域を覆って形成された透明絶縁層と、

該透明絶縁層にその裏面から前記ソース電極まで形成されたコンタクトホールと、

該コンタクトホール内及び前記透明絶縁層上に形成された透明画素電極と、

少なくとも前記コンタクトホール内及びその近傍の透明画素電極上に形成され、該透明画素電極とで2層構造を構成する金属層とを備えたことを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクスディスプレイ

等にスイッチング素子として使用される薄膜トランジスタ(Thin Film Transistor、以下TFTと称す)に関する。

(従来の技術)

第4図はTV等の画像表示装置として利用されているアクティブマトリクスディスプレイの概念図である。アクティブマトリクスディスプレイは、その一方の側にマトリクスパネル1を備えている。このマトリクスパネル1は、ガラスの如き透明な絶縁基板2上にマトリクス状に配列された各画素毎に設けられた透明画素電極5と、これら透明画素電極5間を交差するように走っている信号線(ドレイン線)3及び走査線(ゲート線)4と、各透明画素電極5毎に配設形成されたTFT6とからなっている。また、マトリクスパネル1と対向する側には、一面に透明電極8の形成されたガラス基板9を備え、マトリクスパネル1と透明電極8との間に液晶7を封入することによってアクティブマトリクスディスプレイ1が構成されている。

特開昭64-68728(2)

第5図は、第4図に示したマトリクスパネル10内の任意のTFT6及びその近傍における電極及び配線の配置状態を示した平面図である。第5図に示すように、TFT6の形成領域において、走査線4を信号線3との交差部分でわずかに突出させ、この突出部をTFT6のゲート電極14とすると共に、このゲート電極14上に半導体層16を介して位置する信号線3の一部をTFT6のドレイン電極12とし、またゲート電極14上の半導体層16上から透明画素電極5上にかけて電極を形成し、これをTFT6のソース電極13としている。

第6図は、第5図に示したTFT6及びその近傍のA-A拡大断面図である。第6図に示すように、絶縁基板2上にゲート電極14が形成され、このゲート電極14上及び絶縁基板2上を覆って酸化シリコン若しくは窒化シリコン等の絶縁層(ゲート絶縁膜)11が形成される。ゲート電極14の上方及びその近傍には、絶縁層11を介してアモルファスシリコン(a-Si)等からなる半

導体層16が形成される。更に絶縁層11上には、半導体層16と近接した位置に、ITO (Indium (In)・Tin (Sn)・Oxide) 等からなる透明画素電極5が形成される。半導体層16上でゲート電極14の両端部の上方には、ハイドープのコンタクト層15を介してドレイン電極12とソース電極13が形成される。この際、ソース電極13の一部が透明画素電極5に接合される。このように構成されたTFT6は、ゲート電極14とドレイン及びソース電極12、13とが半導体層16に関して互いに異なる平面上にあるもので、逆スタガ型と称されている。

(従来技術の問題点)

第4図～第6図で示したTFT6では、上述したように、透明画素電極5とソース電極13及びドレイン電極12とが同一平面上に配置されている。そのため、特に第5図に示した電極等の配置状態から明らかな様に、ドレイン電極12から延びた信号線3と透明画素電極5との間で短絡を生じ易いという問題がある。

そこで、このような短絡を防止するために、透明画素電極5と信号線3間には、これらを形成する場合の加工精度及びアライメント精度から決定される一定の間隔しを設けるようにしている。この間隔しは、通常、例えば20 $\mu$ m以上という大きな値である。ところが、このような広い間隔しを設ければ、上記の短絡は防止されるが、その反面、透明画素電極5の面積が小さくなり、すなわち、有効表示面積が小さくなってしまいう問題点が生じる。例えば、マトリクスパネル10上の1つの画素に割当てられた面積に対する透明画素電極5の面積の割合である開口率は、上記間隔しを最小限の20 $\mu$ mとした場合であっても、50%程度と非常に小さくなってしまふ。

このような問題を解決するため、本発明者は、ソース及びドレイン電極上を透明絶縁層で覆い、この透明絶縁層上に透明画素電極を形成し、これと同時に、透明画素電極とソース電極とをコンタクトホールを介して接合する構成のTFTを開発した。

ところが、透明画素電極及びこれとソース電極とのコンタクト領域がスパッタリングによって同時工程で形成されることから、以下のような問題点を生じることがわかった。すなわち、前述した短絡を確実に防止する必要により透明絶縁層に十分な厚みを持たせているが、これに伴い上記コンタクトホールの深さも2000～3000 $\text{\AA}$ 程度と深くなる。そのため、従来の厚さ(500 $\text{\AA}$ 程度)の透明画素電極では上記コンタクト領域が薄くなり、特にコンタクトホール入口の角部で切断が生じ易くなる。そこで、透明画素電極とソース電極とを確実に接合させるだけの厚みを上記コンタクト領域に持たせることも考えられるが、このようにするためには、これと同時に工程で形成される透明画素電極の厚みをも2000 $\text{\AA}$ 以上に厚くしなければならぬ。しかし、このように透明画素電極の厚みが増加すると、その加工精度が低下すると共に、光透過率の低下という問題も生じてくる。

(発明の目的)

本発明は、上記問題点に鑑み、透明画素電極と

特開昭64-68728(3)

ドレイン電極（ドレイン線）間の短絡を無くし、同時に有効表示面積を極めて広くとることができ、しかも透明画素電極の厚みを増加させることなしに透明画素電極とソース電極間を確実に接続できる薄膜トランジスタ（TFT）を提供することを目的とする。

（発明の要旨）

本発明は、上記目的を達成するために、トランジスタ領域の形成された透明絶縁基板を透明絶縁層で覆い、その上に透明画素電極を設け、更に透明画素電極上に金属層を設けてなる2層構造の画素部によりコンタクトホールを介して透明画素電極とソース電極とを接続したことを要点とする。

（実施例）

以下、本発明の実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例の構成を示す断面図であり、第2図は本実施例のTFTをアクティブマトリクスディスプレイ（第4図参照）に採用した場合の同TFT及びその近傍における電極及び

配線の配置状態を示す平面図である。すなわち、第2図のB—B拡大断面図が第1図に相当する。

まず、透明な絶縁基板2上には、第1図に示すように厚さ1000Å程度のゲート電極14が形成され、更に第2図に示すように上記ゲート電極14に接続された走査線（ゲート線）4が長く延びて配線されている。これらゲート電極14及び走査線4は、第1図に示すように、厚さ3000Å程度の絶縁層（ゲート絶縁膜）11で覆われている。ゲート電極14の上方及びその近辺には、絶縁層11を介して、アモルファスシリコン等からなる厚さ1000Å程度の半導体層16が形成されている。この半導体層16上であってゲート電極14の両端部の上方には、高濃度のアモルファスシリコン等からなる厚さ500Å程度のコンタクト層15を介して、それぞれ厚さ1000Å程度のドレイン電極12とソース電極13が形成されている。また絶縁層11上には、第2図に示すように、走査線4と交差して信号線（ドレイン線）3が長く延びて配線され、その半導体層16上の領域が上記ドレ

イン電極12となっている。

更に、本実施例では、上述したようなゲート電極14、絶縁層11、半導体層16、コンタクト層15、ドレイン電極12及びソース電極13から構成されるトランジスタ領域と、信号線3及び走査線4とが、第1図に示すように、裏面の平坦な透明絶縁層18によって覆われている。透明絶縁層18の上面からドレイン電極12及びソース電極13までの厚さは、例えば3000Å程度である。このような透明絶縁層18の上面からソース電極13にかけてコンタクトホール19が設けられ、その内面及び透明絶縁層18上には厚さ500～1000Å程度の透明画素電極5が形成されている。更にコンタクトホール19の深さの約2倍（6000Å）程度の厚さを持つ金属層20が設けられ、この金属層20とその下の透明画素電極5とで2層構造をなしている。このことにより透明絶縁層18上の透明画素電極5とソース電極13とは上記2層構造を介して電気的に接続される。

以上のように構成された本実施例のTFTでは、

第1図に明らかなように、ドレイン電極12（及びこれに接続されて延びている信号線3）と透明画素電極5とが透明絶縁層18を介して互いに異なる平面上に形成されている。このことから、第6図に示したように各電極を同一平面上に形成した従来のTFTの構造と比較して、上記信号線3と透明画素電極5間の距離（上下方向の距離）を大きくとることができ、よってその間の短絡を大幅に減少させることができる。

また、上述したように透明画素電極5が透明絶縁層18を介して他の電極及び配線とは別平面上にあって短絡を防止できることから、第2図に明らかなように、信号線（ドレイン線）3及び走査線（ゲート線）4に囲まれた全ての領域に透明画素電極5を配線することができ、すなわち第5図に示した間隔しをゼロとすることができる。そればかりでなく、平面的に視て、透明画素電極5を信号線3及び走査線4上に重なるように配線することもできる。このようにすることにより、不透明領域（TFT領域及び配線領域）を除くすべて

特開昭64-68728 (4)

の領域を有効表示エリアとすることができるので、有効表示面積はとりうる最大の値となる。本実施例によれば、開口率70%以上（従来は50%以下）を実現できる。

しかも、本実施例では、コンタクトホール19内及びその入口付近に薄い透明画素電極5と厚い金属層20との2層構造を有し、この2層構造を介して、透明絶縁層18上の透明画素電極5とソース電極13とが接続されている。實際上、上記厚い金属層20の被着によってコンタクトホール19が埋められることになるから、上記の接続は確実になる。そのため、例えばコンタクトホール19の入口の角部で透明画素電極5の切断が生じている場合であっても、この部分は電気的には金属層20を介して良好な接続状態を保つことができ、よってソース電極13と透明画素電極5とは確実に接続される。このことから、透明画素電極5を例えば500 Å程度に薄く形成でき、従って、透明画素電極5を厚くすることによって生じる前述した問題（加工精度の低下及び光透過率の低下）

が起こることはない。

次に、第3図(四)側面を参照して、上記構成のTFTの製造工程を説明する。

まず、第3図(四)に示すように、表面の洗浄された透明な絶縁基板2上に、スパッタリング或いは蒸着等で例えば1000 Å程度の金属膜を被着し、この金属膜をフォトリソグラフィ法等でパターンニングすることによって、ゲート電極14及び走査線（ゲート線、第2図及び第4図参照）4を形成する。絶縁基板2としてはガラス、石英、サファイア等を用いることができ、またゲート電極14及び走査線4としてはクロム、チタン、タングステン、タリタル、銅等の金属を用いることができる。

その後、第3図(四)に示すように、ゲート電極14及び走査線（ゲート線）4を覆って、絶縁基板2の一面に絶縁層（ゲート絶縁膜）11を、プラズマCVD法等により例えば3000 Å厚に形成する。絶縁層11としては強化シリコン（SiN）又は酸化シリコン（SiO<sub>2</sub>）等を使用できる。

続いて、第3図(四)に示すように、絶縁層11上にアモルファスシリコン（a-Si）等からなる半導体層16と高濃度のアモルファスシリコン（a-Si<sup>+</sup>）等からなるコンタクト層15をプラズマCVD法等によりそれぞれ例えば1000 Å、500 Å厚に層状形成し、ゲート電極14の上方及びその近辺だけを覆うようにフォトリソグラフィ法等を用いてパターンニングする。半導体層16及びコンタクト層15としては、上述したアモルファスシリコン以外にも、アモルファスの酸化シリコン（SiC）、テルル、セレン、ゲルマニウム、酸化カドミウム（CdS）、カドミウムセレン（CdSe）等を用いることができる。

次に、コンタクト層15及び絶縁層11を覆うように蒸着もしくはスパッタリング等で例えば1000 Å程度の金属膜を形成し、この金属膜及びコンタクト層15をフォトリソグラフィ法等でパターンニングすることにより、第3図(四)に示すようにゲート電極14の両端部の上方にドレイン電極12及びソース電極13を形成する。この際、ド

レイン電極12から延びた信号線（ドレイン線、第2図及び第4図参照）3をも同時に形成する。ドレイン電極12、ソース電極13及び信号線3としては、クロム、チタン、タングステン、タリタル、銅等の金属を用いることができる。

以上の工程により、絶縁基板2上にトランジスタ領域17が形成される。次に、上記トランジスタ領域17、走査線（ゲート線）4及び信号線（ドレイン線）3の形成された絶縁層11上を覆って、第3図(四)に示す様に、表面の平坦化された透明絶縁層18をスピコート法等により形成する。透明絶縁層18としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布、焼成によって形成された絶縁膜（SOC膜）等の透明な絶縁膜を使用でき、その上面からソース及びドレイン電極13、12までの厚さが例えば3000 Å程度となるようにする。続いて、通常のエッチングもしくはプラズマエッチング等を利用して、透明絶縁層18の上面からソース電極12にかけてコンタクトホール19を形成する。

特開昭64-68728 (5)

次に、透明絶縁層 18 上及びコンタクトホール 19 内に透明電極材料と金属材料とを順次蒸着もしくはスパッタリングすることにより 2 層構造を形成し、これをパターニングすることによって、第 3 図例に示すように各素領域毎に透明画素電極 5 及び金属層 20 を形成する。この際、透明画素電極 5 に例えば 500~1000 Å 程度の厚さとし、一方、金属層 20 の厚さは例えばコンタクトホール 19 の深さの約 2 倍である 6000 Å 程度とする。透明電極材料としては酸化錫 (SnO<sub>2</sub>)、酸化インジウム (In<sub>2</sub>O<sub>3</sub>)、ITO 等を使用でき、金属材料としてはクロム、銅、アルミニウム等を使用できる。

続いて、第 3 図例に示すように、トランジスタ領域の上方のみを覆うようにフェトレジスト 21 を形成する。そして最後に、金属層 20 のフェトレジスト 21 によって覆われていない領域をエッチングで除去し、その後、フェトレジスト 21 を除去することにより、第 3 図例に示すような本実施例の TFT 構造が得られる。

上述した製造工程を採用すれば、絶縁基板 2 上に複数形成されたすべての TFT の電気的特性は、第 3 図例の行程の後、透明画素電極 5 及び金属層 20 の形成が終了した時点で簡単に測定することができる。即ち、透明画素電極 5 及び金属層 20 が形成された状態では、すべての透明画素電極 5 が共通接続されているので、TFT のソース電極に接続させるための外部取り出し用接続子を金属層 20 のみに接続すれば良く、測定が容易になるという利点がある。

また、透明絶縁層 18 の形成工程後は高温を必要とする工程が存在せず、透明絶縁層 18 としてはガラススパッタリングの温度 (150 °C 程度) に耐えるものであればよいので、上述したポリイミドやアクリル等のような耐熱性の低い材料も使用できる。

#### (発明の効果)

以上説明したように、本発明によれば、ドレイン電極と透明画素電極とを透明絶縁層を介して互いに別平面に形成したことにより、透明画素電極

とドレイン電極 (信号線) との短絡をなくすることができ、しかも透明画素電極の面積を広げて有効表示面積を著しく大きくとることができる。

しかも、コンタクトホール内及びその近傍には透明画素電極と金属層との 2 層構造を有し、この二層構造を介して透明画素電極とソース電極とを接続したことにより、透明画素電極の厚みを増加させることなしに上記の接続を確実に行うことができる。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例の構成を示す断面図、

第 2 図は第 1 図に示した TFT 及びその近傍における電極及び配線の配置状態を示す平面図、

第 3 図例 1 は同実施例の画素トランジスタ (TFT) の製造工程図、

第 4 図は従来のアクティブマトリクスディスプレイの概念図、

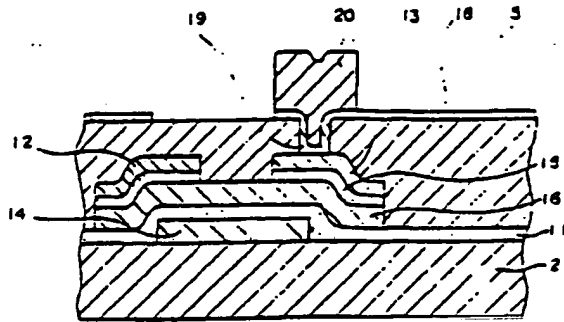
第 5 図は第 4 図のマトリクスパネル 1 内の任意の TFT 及びその近傍における電極及び配線の配置状態を示す平面図、

第 6 図は第 5 図に示した TFT 及びその近傍の A-A 拡大断面図である。

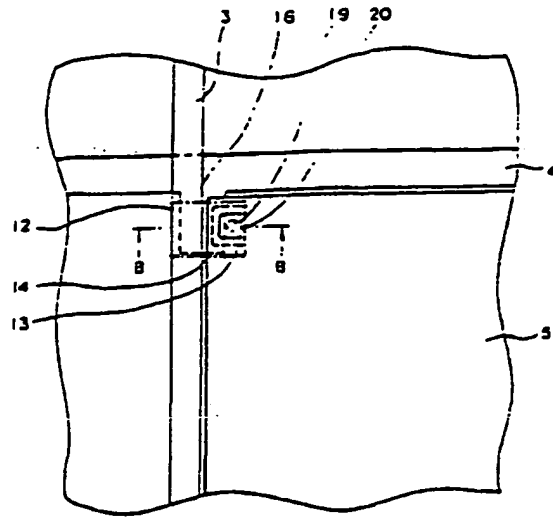
- 2・・・絶縁基板、
- 3・・・信号線 (ドレイン線)、
- 4・・・走査線 (ゲート線)、
- 5・・・透明画素電極、
- 11・・・絶縁層 (ゲート絶縁膜)、
- 12・・・ドレイン電極、
- 13・・・ソース電極、
- 14・・・ゲート電極、
- 15・・・コンタクト層、
- 15'・・・半導体層、
- 17・・・トランジスタ領域、
- 18・・・透明絶縁層、
- 19・・・コンタクトホール、
- 20・・・金属層、

特許出願人 カシオ計算機株式会社

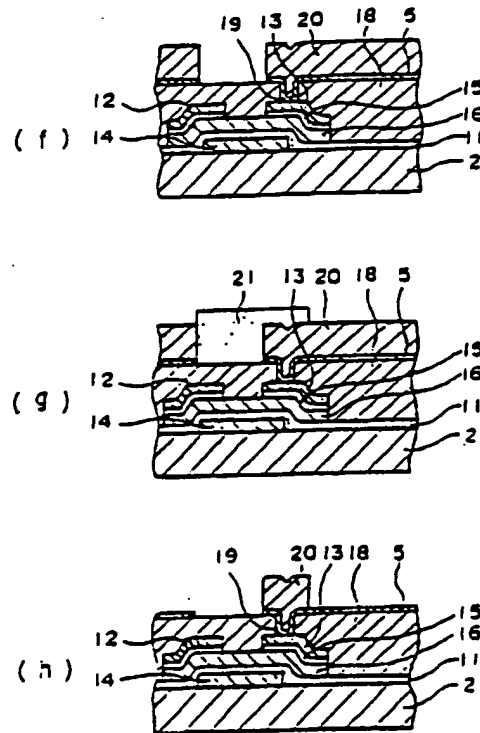
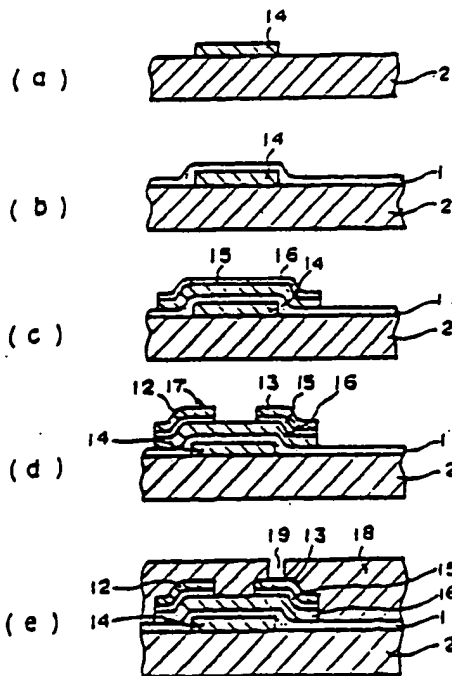
特開昭64-68728 (6)



第 1 図

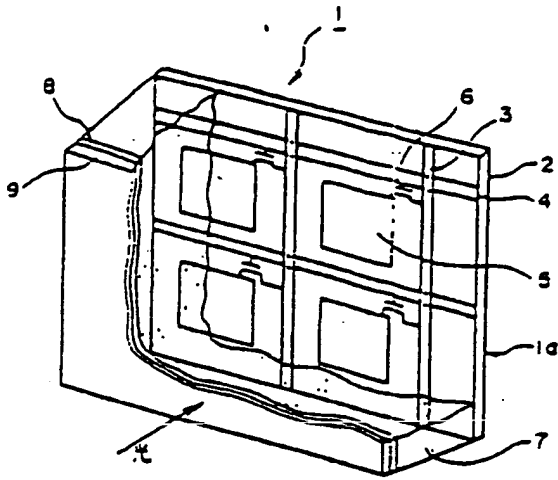


第 2 図

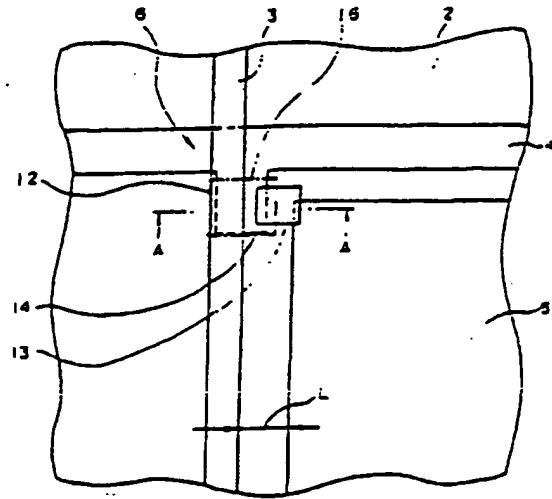


第 3 図

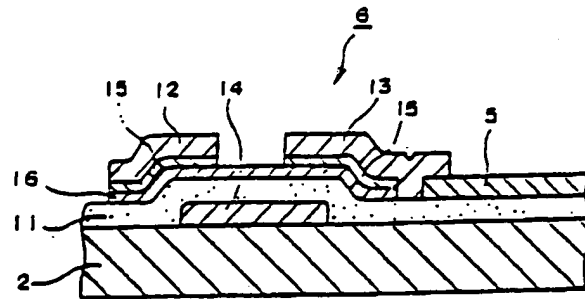




第 4 図



第 5 図



第 6 図